



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 198 18 824 A 1**

⑤ Int. Cl.⁶:
H 03 H 9/145
H 01 L 21/56

⑳ Aktenzeichen: 198 18 824.2
㉔ Anmeldetag: 27. 4. 98
㉕ Offenlegungstag: 4. 11. 99

DE 198 18 824 A 1

㉑ **Anmelder:**
Siemens Matsushita Components GmbH & Co. KG,
81541 München, DE

㉒ **Vertreter:**
Epping, W., Dipl.-Ing. Dr.-Ing., Pat.-Anw., 82131
Gauting

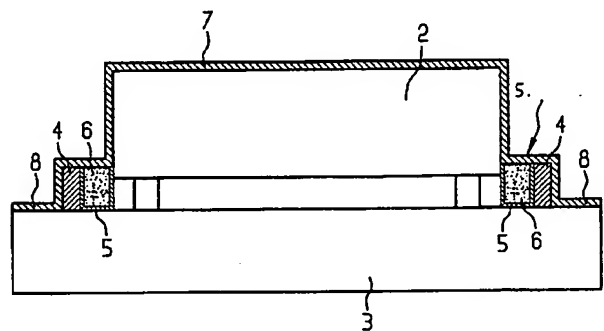
㉓ **Erfinder:**
Stelzl, Alois, 81549 München, DE; Krüger, Hans,
Dipl.-Phys., 81737 München, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Elektronisches Bauelement**

⑤⑦ Oberflächenwellenbauelement sowie Verfahren zu dessen Herstellung mit einem Chip (2) mit piezoelektrischem Substrat, mit auf dem Chip angeordneten, elektronisch leitenden Strukturen - IDT-Wandlern, Anschlußbahnen und dergleichen - mit einer Basisplatte (3) mit externen, mit den elektrisch leitenden Strukturen des Chips kontaktierten Anschlußelementen und mit auf der Basisplatte angeordnetem hermetisch dichten Rahmen (4), innerhalb dessen der Chip mit Abstand zum Rahmen angeordnet ist. Der Raum zwischen Chip (2) und Basisplatte (3) ist dabei mit einer Folie (5) dicht umschlossen, der Raum zwischen Rahmen (4) und Folie (5) mit Vergußmasse (6) gefüllt und der Chip (2) samt Vergußmasse (6) und Rahmen (4) durch einen Überzug (7) bzw. eine Schutzkappe aus galvanischem Material geschützt, dessen Randbereich (8) auf der Basisplatte (3) hermetisch dicht aufliegt.



DE 198 18 824 A 1

Elektronisches Bauelement, insbesondere mit akustischen Oberflächenwellen arbeitendes OFW-Bauelement, sowie Verfahren zur Herstellung dieses Bauelements.

Die vorliegende Erfindung betrifft ein elektronisches Bauelement, insbesondere ein mit akustischen Oberflächenwellen arbeitendes OFW-Bauelement, mit einem Chip mit piezoelektrischem Substrat, mit auf dem Chip angeordneten, elektrisch leitenden Strukturen – Interdigitalwandlern, Anschlußbahnen und dergl. –, mit einer Basisplatte mit externen, mit den elektrisch leitenden Strukturen des Chips kontaktierten Anschlußelementen und mit auf der Basisplatte angeordnetem, hermetisch dichten Rahmen, innerhalb dessen der Chip mit Abstand zum Rahmen angeordnet ist. Die Erfindung betrifft ferner ein Verfahren zur Herstellung dieses Bauelements.

Die ältere deutsche Patentanmeldung, amtliches Aktenzeichen 198 06 550.7, schlägt bei einem elektronischen Bauelement der vorstehend genannten Art vor, daß auf die die elektrisch leitenden Strukturen tragende Chip-Fläche eine strukturierte Schutzfolie, anmelderseits auch PROTEC genannt, aufgebracht ist, die auf ihrer vom piezoelektrischen Substrat abgekehrten Oberfläche elektrische Kontaktelemente trägt, die über Durchkontaktierungen in der Schutzfolie und/oder über Lotkugeln – Bumps – mit den elektrisch leitenden Strukturen des Chips und andererseits mit den externen Anschlußelementen der Basisplatte verbunden sind.

Diese Bauelemente zeichnen sich durch einen hohen Miniaturisierungsgrad und durch eine ausgezeichnete Schutzwirkung der Schutzfolie gegen physikalische und chemische Umwelteinflüsse aus.

Die vorliegende Erfindung hat sich die Aufgabe gestellt, ein weiter miniaturisiertes OFW-Bauelement der eingangs genannten Art sowie ein wenig aufwendiges Verfahren zu dessen Herstellung zu schaffen, bei gleichzeitiger Verringerung der Herstellungskosten.

Zur Lösung dieser Aufgabe schlägt die Erfindung bei einem elektronischen Bauelement der eingangs genannten Art vor, daß der Raum zwischen Chip und Basisplatte mit einer Folie, z. B. Kunststoffolie, dicht umschlossen ist, daß der Raum zwischen Rahmen und Folie mit der Folie bzw. mit Vergußmasse, z. B. Epoxidharz, gefüllt ist und daß der Chip samt Vergußmasse und Rahmen durch einen Überzug aus galvanischem Werkstoff, z. B. einer CuNi-Legierung, geschützt sind, dessen Randbereich auf der Basisplatte dicht aufliegt.

Das einschlägige Verfahren hierzu schlägt vor, daß der Chip – ausgenommen die zur Basisplatte gekehrte Seitenfläche – mit einer zumindest bis zur Basisplatte herabgezogenen Folie umpreßt wird, daß der Raum zwischen Rahmen und Folie mit Vergußmasse gefüllt wird, daß die Folie in ihren vergußfreien Oberflächenbereichen, z. B. mittels Plasmaätzen, entfernt wird und daß auf dem Chip samt Vergußmasse ein Überzug aus galvanischem Material aufgebracht wird.

Weitere Merkmale des Gegenstandes nach der Erfindung sind den Unteransprüchen und der Beschreibung samt Zeichnung zu entnehmen.

Der Verzicht auf die Schutzfolie trägt zu einer erheblichen Minderung der Kosten und zu einer Verringerung der Abmessungen der Bauelemente bei. Zusätzlich zeichnet sich dieses Bauelement durch seine erhöhte Zuverlässigkeit aus, da bei seinem Auflöten auf die Basisplatte, was in Flip-Chip-Technik erfolgt, nicht die Gefahr besteht, daß die in diesem Zustand flüssigen Lotkugeln bzw. Bumps in Freiräume bzw. Spalten fließen können, wie sie bei sogenannter Unterfüllung des Bauelements mit Vergußmasse, z. B. Ep-

oxidharz, auftreten. Diese Gefahr besteht auch nicht beim Einlöten des Bauelements in die jeweilige Schaltung des Kunden.

Fig. 1 bis 3 zeigen in teils geschnittener und schematischer Darstellung die Fertigung eines Bauelements gemäß der Erfindung.

Zur Fertigung, die letztlich eine Massenfertigung ist, ist eine in Basisplatten 3 vereinzelbare, leiterbahnenbestückte Trägerplatte, insbesondere Keramikplatte, vorgesehen, die aufgereiht auf der Trägerplatte in sich jeweils geschlossene Rahmen 4, sogenannte Lotrahmen, trägt, innerhalb denen mit Abstand zu den Rahmen jeweils Chips 2 in Flip-Chip-Technik mit ihren elektrisch leitenden Strukturen auf entsprechende Leiterbahnen der Basisplatte aufgelötet sind.

In einem ersten Schritt gemäß der Erfindung werden die so aufgelöteten Chips 2 – ausgenommen die zur Basisplatte 3 gekehrte Seitenfläche – mit einer zumindest bis zur Basisplatte 3 herabgezogenen Kunststoffolie 5 bzw. Metall- oder Verbundfolie umpreßt. Bevorzugt ist jedoch dabei – wie die Figuren zeigen – die Folie 5 im Raum zwischen dem Lotrahmen 4 und dem Chip 2 über die gesamte Fläche von Basisplatte 3 und Lotrahmen 4 geführt. Möglich, falls fertigungstechnisch vorteilhaft, kann die Folie 5 den Lotrahmen 4 auch vollständig umhüllen und mit ihren Enden auf der Basisplatte 3 aufliegen.

In einem weiteren Verfahrensschritt wird der Raum zwischen dem Lotrahmen 4 und der Folie 5, soweit erforderlich, mit Vergußmasse 6, insbesondere Epoxidharz, gefüllt, anschließend die Folie 5 mittels Plasmaätzen in ihren vergußfreien Oberflächenbereichen entfernt und schließlich auf den Chip 2 samt Vergußmasse 6 und Rahmen 4 ein als Schutzkappe wirksamer Überzug 7 aus galvanischem Material aufgebracht. Geeignet hierfür ist beispielsweise ein Überzug 7, bestehend aus einer CuNi-Legierung, dessen Randbereich 8 z. B. mit einer auf die Basisplatte 3 aufgesputterten, folglich lotfähigen Schicht hermetisch dicht verlötet ist.

Die Fig. 1 bis 3 zeigen die einzelnen Fertigungsschritte anhand nur eines OFB-Bauelements. Wie es in der Massenfertigung üblich ist und bereits an anderer Stelle erwähnt wurde, sieht die Fertigung relativ großflächige Basisplatten (Nutzen) mit einer Vielzahl von Chips vor, die in Reihen angeordnet und jeweils von Rahmen, insbesondere Lotrahmen, umgeben sind.

Patentansprüche

1. Elektronisches Bauelement, insbesondere mit akustischen Oberflächenwellen arbeitendes OFW-Bauelement, mit einem Chip aus piezoelektrischem Substrat, mit auf dem Chip angeordneten, elektrisch leitenden Strukturen – IDT-Wandlern, Anschlußbahnen und dergl. –, mit einer Basisplatte mit externen, mit den elektrisch leitenden Strukturen des Chips kontaktierten Anschlußelementen, und mit auf der Basisplatte angeordnetem, hermetisch dichten Rahmen, innerhalb dessen der Chip mit Abstand zum Rahmen angeordnet ist, **dadurch gekennzeichnet**, daß der Raum zwischen Chip (2) und Basisplatte (3) mit einer Folie (5) dicht umschlossen ist, daß der Raum zwischen Rahmen (4) und Folie mit Vergußmasse (6) gefüllt ist und daß der Chip samt Vergußmasse und Rahmen durch einen Überzug (7) aus galvanischem Material geschützt sind, dessen Randbereich (8) auf der Basisplatte dicht aufliegt.

2. Elektronisches Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß zumindest die Wand- und Bodenflächen, die den Raum zwischen Rahmen (4),

Basisplatte (3) und Chip (2) begrenzen, mit Folie (5) bedeckt sind.

3. Elektronisches Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß der Rahmen (4) aus lötfähigem Material besteht und mit einer auf die Basisplatte (3) aufgetragenen, lötfähigen Schicht verlötet ist. 5

4. Elektronisches Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß der Überzug (7) aus einer CuNi-Legierung besteht.

5. Elektronisches Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß die Vergußmasse (6) ein Epoxidharz ist.

6. Elektronisches Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß die Folie (5) eine Kunststoffolie ist. 15

7. Verfahren zur Herstellung eines elektronischen Bauelements nach Anspruch 1 bis 5 mit einem innerhalb eines Rahmens (4) auf eine Basisplatte (3) aufgetragenen Chip (2) mit hermetisch dicht umschlossenen Raum zwischen Chip und Basisplatte, dadurch gekennzeichnet, daß der Chip (2) – ausgenommen die zur Basisplatte (3) gekehrte Seitenfläche – mit einer zumindest bis zur Basisplatte herabgezogenen Folie (5) umpreßt wird, daß der Raum zwischen Rahmen (4) und Folie (5) mit Vergußmasse (6) gefüllt wird, daß die Folie (5) in ihren vergußfreien Oberflächenbereichen entfernt wird und daß auf dem Chip (2) samt Vergußmasse (6) und Rahmen (4) ein Überzug (7) aus galvanischem Material aufgebracht wird. 20 25

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die Wand- und Bodenflächen, die den Raum zwischen Rahmen (4), Basisplatte (3) und Chip (2) begrenzen, mit Folie (5) ausgekleidet werden. 30

9. Verfahren nach Anspruch 7 und 8, dadurch gekennzeichnet, daß die Folie (5) in ihren vergußfreien Oberflächenbereichen mittels Plasmaätzen abgetragen wird. 35

10. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß als Überzug (7) eine Schutzkappe, insbesondere eine Schutzkappe, bestehend aus einer CuNi-Legierung, aufgebracht wird. 40

11. Verfahren nach Anspruch 7 und mindestens einem der Ansprüche 8 bis 10, gekennzeichnet durch die Anwendung auf Wafer (Nutzen) mit einer Vielzahl von Chips (2), die in Reihen angeordnet sind. 45

Hierzu 2 Seite(n) Zeichnungen

50

55

60

65

- Leerseite -

FIG 1

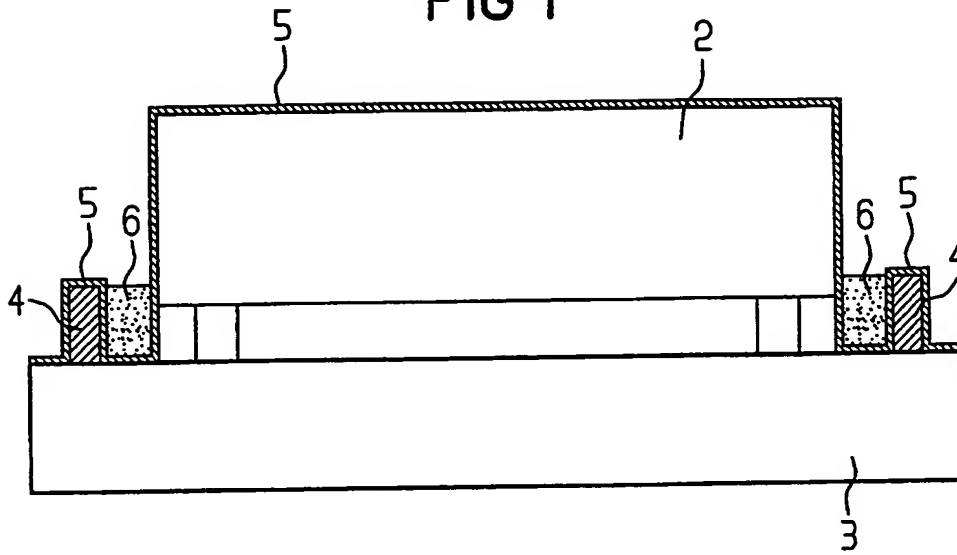


FIG 2

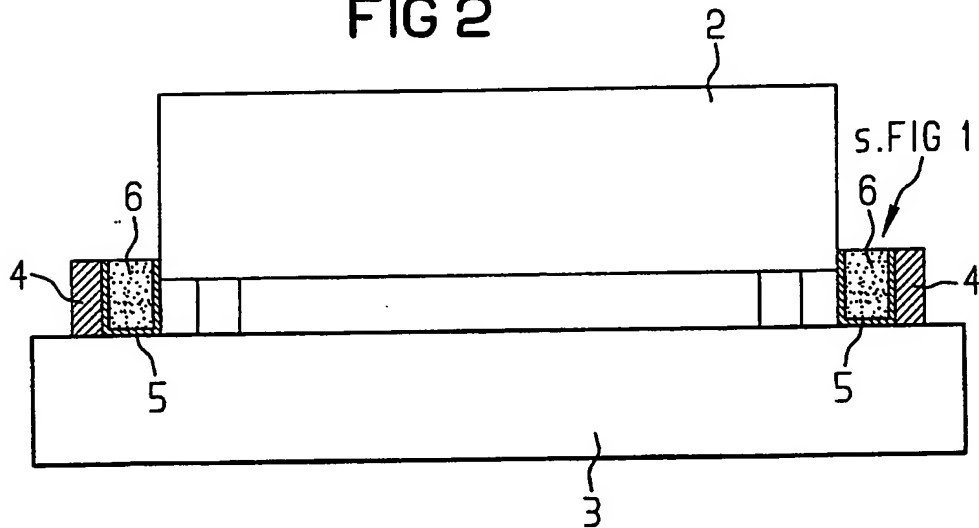


FIG 3

